

串列輸入聚類分析之 VLSI 架構

賴茂富*

摘要

聚類分析在影像處理與標型辨認之應用很廣泛，最常使用之聚類分析法則為平方誤差 (Squared Error) 法。由於近年來微電子之技術進步日新月異，故已發展出以 VLSI 實現平方誤差法，以提高聚類分析之執行速度。本文提出以收縮陣列 (Systolic Array) 設計聚類分析之 VLSI 架構，所提出之架構具有簡單、規律性、與模組化之特性，使得電路之複雜度大為降低，同樣的架構亦可以應用在輸入資料數目改變之情況；另外因為所提出之架構允許串列式之資料輸入，可以大量節省 VLSI 實現時 IC 之接腳數目。利用本文所提出之新架構，高速度之聚類分析可用低成本 VLSI 來實現。

智慧藏

* 中國文化大學工學院電機工程學系教授